

(19)日本国特許庁(JP)

## (12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-313195

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/092				
27/12	Z			
		9054-4M	H 0 1 L 27/ 08	3 2 1 M
		9056-4M	29/ 78	3 1 1 C

審査請求 未請求 請求項の数6(全10頁) 最終頁に続く

(21)出願番号 特願平4-120699

(22)出願日 平成4年(1992)5月13日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(72)発明者 小島 芳和

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(72)発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(74)代理人 弁理士 林 敬之助

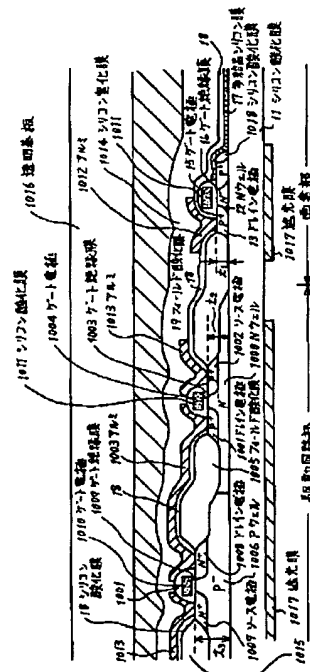
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は、画素電極群を選択給電するためのスイッチングトランジスタと駆動回路を電氣的絶縁基板上の単結晶シリコン上に形成したアクティブマトリクス型装置において、駆動回路の消費電力を低減し、スイッチングトランジスタのリーク電流を減少し、かつ駆動回路を形成するP型MOSTランジスタとN型MOSTランジスタの両方のリーク電流を減少させることを目的とする。

【構成】 駆動回路はCMOS回路から形成され、かつスイッチングトランジスタが形成される領域のシリコン層の厚みを駆動回路が形成される領域のシリコン層の厚みより薄くしたことを特徴とする。



## 【特許請求の範囲】

【請求項1】 電気絶縁性物質上にある半導体シリコン単結晶膜上に、画素電極群に対して選択給電を行うスイッチ素子群と前記スイッチ素子群を選択動作させる駆動回路素子群が形成された光弁基板用半導体装置において、前記駆動回路素子群は、少なくとも相補型MOSトランジスタ集積回路から形成され、かつ画素電極群に対して選択給電を行うスイッチ素子群が形成される領域の半導体単結晶シリコン層の厚みは、駆動回路素子群が形成される領域の半導体単結晶シリコン層の厚みより薄いことを特徴とする光弁基板用半導体装置。

【請求項2】 画素電極群に対して選択給電を行うスイッチ素子群は、P型の絶縁ゲート電界効果型トランジスタであることを特徴とする請求項1記載の光弁基板用半導体装置。

【請求項3】 画素電極群に対し、選択給電を行うスイッチ素子の極く近傍に、基板と同じタイプの高濃度の不純物領域が設けられていることを特徴とする請求項1または2記載の光弁基板用半導体装置。

【請求項4】 少なくとも相補型MOSトランジスタ集積回路から形成されている駆動回路は、前記駆動回路の内のN型MOSトランジスタのソース電極及びドレイン電極の底が、電気絶縁性物質から離れていることを特徴とする請求項1、2または3何れか記載の光弁基板用半導体装置。

【請求項5】 少なくとも相補型MOSトランジスタ集積回路から形成されている駆動回路は、前記駆動回路の内のN型MOSトランジスタが形成されている領域であるP型不純物領域即ちPウェル領域内にあるフィールド酸化膜の底が、電気絶縁性物質から離れていることを特徴とする請求項1、2、3または4何れか記載の光弁基板用半導体装置。

【請求項6】 電気絶縁性物質上にある半導体シリコン単結晶膜上に、画素電極群に対して選択給電を行うスイッチ素子群と前記スイッチ素子群を選択動作させる駆動回路素子群が形成された光弁基板用半導体装置において、前記駆動回路素子群が形成されている領域において、N型MOSトランジスタが形成されている領域の単結晶シリコンの厚みが、P型MOSトランジスタが形成されている領域の単結晶シリコンの厚みより厚いことを特徴とする請求項1、2、3、4または5何れか記載の光弁基板用半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は直視型表示装置や投影型表示装置等に用いられる平板型光弁の駆動用基板装置に関する。より詳しくは、電気絶縁性物質上にある半導体シリコン単結晶膜上に画素電極群、スイッチ素子群、及び駆動回路素子群が形成された半導体集積回路基板装置に関する。この基板装置は例えば液晶パネルに一体的に

組み込まれ、いわゆるアクティブマトリックス装置を構成する。

## 【0002】

【従来の技術】従来、アクティブマトリックス装置は、電気絶縁性物質、例えば透明ガラス基板又は透明石英基板上に、アモルファスシリコンあるいは多結晶シリコンを形成し、更にその上に画素電極群、スイッチ素子群、及び駆動回路素子群の一部又は全てを形成することにより作られていた。しかし、電気絶縁性物質上にある半導体シリコン単結晶膜上に前記画素電極群、スイッチ素子群、及び駆動回路素子群の全てを形成する試みは成されていなかった。

## 【0003】

【発明が解決しようとする課題】本発明が解決しようとする問題点は5つある。1つは駆動回路の消費電力、2つめは光による画素部のスイッチングトランジスタのリーク電流、3つめは画素部のスイッチングトランジスタの基板電位の固定、4つめは絶縁基板上の単結晶シリコンウエハ（以後、SOIウエハと呼ぶ）に特有のN型MOSトランジスタのリーク電流、5つめは電気絶縁性物質上にある半導体シリコン単結晶膜上に形成された駆動回路の動作についてである。

【0004】駆動回路と画素部スイッチングトランジスタを一体の単結晶シリコン上に形成する場合の最大の長所は多結晶シリコンやアモルファスシリコン上に形成する場合に比べて、トランジスタの移動度が高い事による高速性にあると言って良い。後述するように、電気絶縁性基板上にある薄い半導体シリコン単結晶上にMOSトランジスタを形成する場合、N型MOSトランジスタはリーク電流を発生しやすい。このため、駆動回路も画素部のスイッチングトランジスタもP型MOSトランジスタ単独で作ることが考えられる。しかし、この場合、駆動回路の直流成分による消費電力が大きくなる。

【0005】液晶を利用した光弁基板用半導体装置においては、画素電極群に形成されている領域に液晶を介して光を照射する。通常、画素電極群に選択給電するための各々のスイッチングトランジスタは、対応する各画素電極に極く近接した箇所に形成されている。このため、各々のスイッチングトランジスタのある領域のみの遮光を試みようとしても、画素電極部に照射される光の回り込みを受け、いくらかの光がスイッチングトランジスタ領域にも入射してしまう。単結晶シリコン中に光が照射されると、光の波長によって単結晶シリコン中に発生する電子・ホール対の量はいく分異なるが、大量の電子・ホール対を発生する。スイッチングトランジスタがMOS型トランジスタであるとする、この電子とホールの一方がドレイン電極に、他方が基板電極に流れ込み、その結果、リーク電流となる。このリーク電流が大きいと、スイッチングトランジスタのONとOFF時のドレイン電流の比（以下、単にON/OFF比と略す）が大

きくとれず、高いコントラスト比のある光弁基板用半導体装置が得られなくなる。

【0006】又、画素部では数十万個のスイッチングトランジスタが各々独立に形成される。この時、スイッチングトランジスタの基板電位を固定するために、画素部の外側にある基板端子から基板電位をとる場合、絶縁基板上の単結晶シリコンの厚みが薄いため、基板の抵抗が高く、各トランジスタの基板電位をしっかりと固定することは難しい。更に、画素部の各スイッチングトランジスタが島状に孤立している場合には、画素部の外側にある基板端子から単結晶シリコン基板内部を通して基板電位を供給することはできない。

【0007】基板電位がしっかりと固定されていないと、画素部のスイッチングトランジスタがMOSトランジスタである場合、ドレインにおいて発生する電子又はホールの何れか一方のキャリアが基板にたまりやすく、トランジスタ特性を不安定にする。又、電気絶縁物質上の単結晶シリコンの厚みが薄いため、特にN型MOSトランジスタではリーク電流が発生しやすい問題点がある。

【0008】最後に、電気絶縁物質上の単結晶シリコン (SOI: Silicon On Insulator) は、その厚みが通常、数Åから2μm位の範囲にあるものが使用される事が多い。通常の単結晶シリコン中に形成される相補型メタル酸化膜半導体回路 (以下、CMOS回路と略す) から成る駆動回路をそのままSOIウェハの薄い膜厚のシリコン層に形成すると動作しないことがある。これは、SOIウェハのシリコン厚みが薄過ぎると、シリコン基板のある位置の電位を固定したい時、その位置からある距離離れた位置のコンタクト電極で基板電位をとろうとすると、基板とコンタクト間の抵抗が高過ぎるために、基板電位をしっかりと固定できないためである。

【0009】本発明は前記した5つの問題点、即ち、駆動回路の消費電力、光によるスイッチングトランジスタのリーク電流、スイッチングトランジスタの基板電位の固定、及び電気絶縁性物質上にある半導体シリコン単結晶膜上に形成された駆動回路の動作について解決することを目的としたものである。

【0010】

【課題を解決するための手段】本発明は前述した課題を解決するために、以下に示す手段を構ずる。

(1) 画素部のスイッチングトランジスタを選択動作させる駆動回路は、少なくともCMOS回路から成る。

(2) 画素部のスイッチングトランジスタが形成されている領域の単結晶シリコン層の厚みは、駆動回路が形成されている領域の単結晶シリコン層の厚みより薄い。

【0011】(3) 画素部のスイッチングトランジスタはP型MOSトランジスタにより形成されている

(4) MOSトランジスタから成る画素部のスイッチングトランジスタの極く近傍に基板と同じタイプの高濃度

の不純物を設け、かつ駆動回路からの基板電位を供給するために配置された金属配線は、その高濃度不純物領域に電気的に接続されている。

【0012】(5) 駆動回路を形成しているCMOS回路の内、N型MOSトランジスタのソース及びドレインの低部は電気絶縁性物質から離れている。

(6) 駆動回路を形成しているCMOS回路の内、N型MOSトランジスタが形成されているP型不純物から成るPウェル内にある素子分離用のフィールド酸化膜の低部は、電気絶縁性物質から離れている。

【0013】(7) CMOS回路から成る駆動回路部において、N型MOSトランジスタが形成されている領域の単結晶シリコン層の厚みは、P型MOSトランジスタが形成されている領域の単結晶シリコン層の厚みより厚い。

【0014】

【作用】前記した手段により、本発明の光弁基板用半導体装置は、その駆動回路の消費電力が少なく、しかもN型MOSトランジスタのリーク電流が少なく、かつ基板電位を固定することができ、安定な動作が可能になる。又、本発明の半導体装置の画素部のスイッチングトランジスタは、光照射時も又光を照射しない時も共にリーク電流が少なく、かつトランジスタが形成されている領域の基板電位が安定に固定されており、かつON/OFF比の高い安定な動作が可能になる優れた特性を有する。

【0015】

【実施例】図2は、アクティブマトリックス型装置である光弁基板用半導体装置の構成を示す斜視図である。21は電気絶縁性基板であるシリコン酸化膜 (SiO<sub>2</sub> 膜)、22は電気絶縁性基板21の上にある半導体単結晶シリコン膜である。23は各画素を駆動するための駆動電極であり、この駆動電極23の下には不透明な単結晶シリコンは残っていない。24は各画素の駆動電極に選択給電を行うためのスイッチングトランジスタである。図2では、このスイッチングトランジスタは電界効果型MOSトランジスタから成っている。25は各スイッチングトランジスタ24のドレイン電極につながる信号線を示す。26は各スイッチングトランジスタ24のゲート電極につながる走査線を示す。27は各信号線25に信号を与えるXドライバー、28は各走査線26に信号を与えるYドライバーを示している。各画素の駆動電極23、スイッチングトランジスタ24、信号線25、走査線26、Xドライバー27、Yドライバー28は、半導体単結晶シリコン膜22の中や絶縁膜を介して半導体単結晶シリコン膜22の上に形成される。

【0016】本発明の半導体装置は図2に示すXドライバー27及びYドライバー28がCMOS回路から成ることを特徴とする。N型MOSトランジスタ単一、又はP型MOSトランジスタ単一回路では直流成分の消費電力が大きく、これらに比べ、CMOS回路では静止時の

消費電力が少なく、低消費電力の光弁基板用半導体装置を実現できる。

【0017】本発明の駆動回路は基本的にCMOS回路から構成されていれば良く、CMOS回路に更にバイポーラ回路が加わった、いわゆるBiCMOS回路から成っていても良い。図3は、画素部のスイッチングトランジスタの断面図を示す。31は電気絶縁性物質である厚さ約1ミクロンの $\text{SiO}_2$ 膜、32は電気絶縁性物質である $\text{SiO}_2$ 膜31上に島状に形成された半導体単結晶シリコン、33と34はそれぞれP型MOSTトランジスタのソース電極とドレイン電極、35は多結晶シリコン膜から成るゲート電極、36は $\text{SiO}_2$ 膜から成るゲート酸化膜を示している。破線で示す37はドレイン電極34とゲート電極35に負の電圧を加えた時に生じる空乏層の境界を表している。空乏層は破線37の上側及び右側に生ずる。38は入射光を、39と310はそれぞれ入射光38によって空乏層内に生じた電子とホールを表している。光によって発生したホール310は空乏層内の電界によりドレイン電極へ達し、ドレイン電流となる。一方、電子は基板電極が近くにあれば、そこに達するが、ない場合には空乏層の境界37付近に蓄積し、ソース・基板間の電位障壁を低め、ソース電極からホールを引き出す役割も果たしてしまう。このように、光により空乏層内に発生した電子・ホール対はリーク電流を増大させ、トランジスタ特性、特にON/OFF比を低める役目をしてしまう。

【0018】この光によるリーク電流を低減するには、トランジスタが形成されているシリコンの体積をできるだけ小さくすれば良い。しかし、トランジスタの所望の電流値が決められている時、トランジスタの長さや幅は必ず決められてしまう。その場合、シリコンの体積を小さくするにはトランジスタが形成されている領域のシリコンの厚みを小さくすれば良いことになる。即ち、図3に示すシリコンの厚み $t_s$ をできるだけ小さくすれば良い。

【0019】図4は、光の照射時とOFF時のドレイン電流とゲート電圧の関係を示す。破線が光照射時、実線が光OFF時の特性を示している。ゲート電圧が十分大きい値になり、トランジスタのチャンネルに十分大きい電流が流れるようになると、光の照射時とOFF時の電流値は一致するようになる。ここで、光リーク電流はゲート電圧 $V_g$ がゼロの時の光照射時のドレイン電流 $i_{o1}$ とする。

【0020】図5は、同一の長さを持つMOSTトランジスタのシリコン厚みを変えた時、同一強度の光を照射した時の光リーク電流 $i_{o1}$ とシリコン厚み $t_s$ の測定結果を示している。予想されるように、シリコンの厚み $t_s$ が薄いほど、光リーク電流は少なくなる。図6は、電気絶縁性物質の単結晶シリコン中に、形成されたN型MOSTトランジスタの長さ方向の断面構造図である。6

1はP型不純物から成るPウェル、62はゲート酸化膜、63は多結晶シリコン膜から成るゲート電極、64と65はそれぞれ高濃度のN型不純物から成るソースとドレイン、66は厚み数千Å～1μmの下地のシリコン酸化膜( $\text{SiO}_2$ 膜)、67はトランジスタ間の分離を行うためのフィールド酸化膜、68は、金属配線(図には示していない)とゲート電極63の電気的な分離を行うためのシリコン酸化膜を示している。

【0021】図6において、単結晶シリコン層はP型不純物から成るPウェルとソース64及びドレイン65から成る。図6に示すように、この単結晶シリコン層の厚みが薄いと、ソース64とドレイン65の底面は、下地のシリコン酸化膜66に接している。同様に、フィールド酸化膜67の底面も下地のシリコン酸化膜66に接している。

【0022】通常、Pウェルを形成しているボロンは単結晶シリコンとシリコン酸化膜の境界において、ボロンの偏析から単結晶シリコン側において、ボロン濃度が非常に薄くなる。ソース64とドレイン65が下地シリコン酸化膜66に接していると、Pウェルと下地シリコン酸化膜の境界69におけるPウェルを形成しているボロンの濃度が非常に薄いため、その境界69が新たな寄生チャンネルとなり、その結果リーク電流が発生する。

【0023】図7は、電気絶縁性物質の単結晶シリコン中に、形成されたN型MOSTトランジスタの幅方向の断面構造図である。図7の断面構造図は、図6の断面構造図に対して垂直方向の断面構造図である。71はP型不純物から成るPウェル、72は厚み数千Å～1μmの下地のシリコン酸化膜( $\text{SiO}_2$ 膜)、73はゲート酸化膜、74はフィールド酸化膜、75はゲート電極を兼ねる多結晶シリコン膜、76は、金属配線(図には示していない)とゲート電極75の電気的な分離を行うためのシリコン酸化膜を示している。ソースとドレインは、紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0024】フィールド酸化膜74の端部は通常テーパ状に形成され、その箇所77はバズピークと呼ばれている。フィールド酸化膜74の形成後、バズピーク77の下に非常に厚みの薄い単結晶シリコン層が形成される。ウェル71を形成するP型不純物には、通常ボロンが使われる。単結晶シリコンを酸化した時、シリコン表面近傍に存在していたボロンは、シリコン中に残りよりシリコン酸化膜中にとりこまれ易い。このため、フィールド酸化をした時、バズピーク下の単結晶シリコンの箇所78のボロンのかなりの量がフィールド酸化膜中に吸収されてしまい、その箇所のボロン濃度はかなり薄くなってしまう。

【0025】通常、絶縁ゲート電界効果型トランジスタの場合、電流の流れる箇所はチャンネルと呼ばれ、ゲート絶縁膜直下にある。チャンネル部のボロン濃度がある程度

高いと、チャネルを形成させるためのゲート電圧（以下、 $V_{th}$ と略す）もそれなりに高い。ソース64とドレイン65が下地酸化膜66に接しているような場合、バースピーク下のボロン濃度が非常に低い箇所78は、ソースとドレイン間の新たな電流通路になってしまう。しかも、その新たな電流通路が形成されるための $V_{th}$ は非常に低くなっている。

【0026】図8は、N型の電界効果型絶縁ゲートトランジスタの平面図である。81はソース、82はドレイン、83は多結晶シリコンから成るゲート、84は島状シリコン上に形成されたフィールド酸化膜を示す。フィールド酸化膜のバースピーク下でボロン濃度が低くなる85で示すN型トランジスタの幅方向両端に新たに $V_{th}$ の低い寄生チャネルが生じる。

【0027】この寄生チャネルがあると、ゲート電圧を上げていくと、ゲート絶縁膜直下の本来のチャネルに電流が流れる前にバースピーク下の箇所85で電流が流れ始めてしまう。このトランジスタを画素電極に給電するためのスイッチングトランジスタとして使用すると、トランジスタのON/OFF比（トランジスタの導通時と非導通時のこのトランジスタを流れる電流比： $i_{on}/i_{off}$ ）は例えば6桁以上の値をとる必要があるのに、図8の85の箇所の寄生チャネルがあることにより、3〜4桁程度の値になってしまう。このように、電気絶縁性物質上の薄い単結晶シリコン膜上に形成されたN型MOSトランジスタはリーク電流が大きく、画素電極に給電するためのスイッチングトランジスタには適していない。

【0028】電気絶縁性物質上の薄い単結晶シリコン膜上に形成されたP型MOSトランジスタの場合、図7の78で示すバースピーク下の非常に薄い単結晶シリコン層において、Nウェルを形成しているN型不純物（例えばリンやヒ素）は酸化膜中にとりこまれるよりは、むしろ単結晶シリコン中に残るため、その濃度は高い。このため、この領域の $V_{th}$ は高く、P型MOSトランジスタにおいては、バースピーク下の非常に薄い単結晶シリコン層の領域は寄生チャネルが生じない。故に、本発明において、画素電極に給電するためのスイッチングトランジスタはP型MOSトランジスタを採用することの特徴とする。

【0029】図9は、アクティブマトリックス型装置の構成を示す平面図である。91は電気絶縁性物質上の単結晶シリコン、92は多結晶シリコンから成る走査線、93は厚みが数百Åの多結晶シリコンから成る各画素を駆動させるための駆動電極、94は単結晶シリコン中の高濃度の不純物層から成るソース、95は同じく単結晶シリコン中の高濃度の不純物層から成るドレイン、96は各ソース94と各画素駆動電極93をつなぐコンタクト穴、97は各ドレイン95とアルミから成る信号線を接続するコンタクト穴を示している。

【0030】図10は、画素部の各トランジスタの長さ方向の断面図、即ち図9の直線A-A'の断面図を示している。このトランジスタはP型のMOSトランジスタである。101はN型不純物から成るNウェル、102はゲート酸化膜、103は多結晶シリコン膜から成るゲート電極、104と105はそれぞれ高濃度のP型不純物から成るソースとドレイン、106は厚み数千Å〜数μmの下地のシリコン酸化膜、107はトランジスタ間の分離を行うためのフィールド酸化膜、108はソース104と画素駆動電極をつなぐ薄い多結晶シリコン膜、109はゲート電極用の多結晶シリコン膜と画素駆動電極用多結晶シリコン108の分離のためのシリコン酸化膜、110はAl（アルミニウム）から成る信号線、111は信号線110と画素駆動電極用多結晶シリコン108の分離のための中間絶縁膜（シリコン酸化膜）を示している。

【0031】信号線110とドレイン105は電気的に接続されている。図10において、単結晶シリコン層はP型不純物から成るウェル101とソース104及びドレイン105から成る。図10に示すように、この単結晶シリコン層の厚みが薄いと、ソース104とドレイン105の底面は、下地のシリコン酸化膜106に接している。

【0032】ここで、下地シリコン酸化膜106の上の単結晶シリコンの厚み $t_s$ が薄いため、フィールド酸化膜107の底は下地酸化膜106に接してしまう。この画素部のトランジスタの安定な動作のためには、Nウェル101の電位がしっかり固定される必要がある。Nウェル101の電位を単結晶シリコンの基板電位と同じにしようとする場合、図10に示すフィールド酸化膜107の下に単結晶シリコンがないため、あるいは図示していないが、フィールド酸化膜107の下に単結晶シリコンが非常に薄いため、画素部の外側の駆動回路が形成されている領域、即ち、図2で示すXドライバー27またはYドライバー28の中にある基板端子から単結晶基板から内部を通して基板電位をとろうとしても、不可能または不可能に近い。

【0033】図11は、本発明のアクティブマトリックス型装置の構成の一例を示す平面図である。111は電気絶縁性物質上の単結晶シリコン、112は多結晶シリコンから成る走査線、113は厚みが数百Åの多結晶シリコンから成る各画素を駆動させるための駆動電極、114は単結晶シリコン中の高濃度のP型不純物層から成るソース、115は同じく単結晶シリコン中の高濃度のP型不純物層から成るドレイン、116は高濃度のN型不純物層領域、117はソース114と画素駆動電極113をつなぐコンタクト穴、118はドレイン105とアルミから成る信号線を接続するコンタクト穴、119は高濃度のN型不純物層領域と接地電位を与える他のアルミとを接続するコンタクト穴を示している。

【0034】図12は、本発明のアクティブマトリックス型装置の画素部のトランジスタの長さ方向の断面図、即ち、図11の直線B-B'の断面図を示している。このトランジスタはP型のMOSトランジスタである。121はN型不純物から成るNウェル、122はゲート酸化膜、123は多結晶シリコン膜から成るゲート電極、124は高濃度のP型不純物から成るソース、125は高濃度のN型不純物層領域、126は厚み数千Å〜数μmの下地のシリコン酸化膜、127はトランジスタ間の分離を行うためのフィールド酸化膜、128はソース124と画素駆動電極をつなぐ薄い多結晶シリコン膜、129はゲート電極用の多結晶シリコン膜と画素駆動電極用多結晶シリコン128の分離のためのシリコン酸化膜、1210は接地電位を与えるためのアルミ線、1211は接地電位を与えるためのアルミ線1210と画素駆動電極用多結晶シリコン128の分離のための中間絶縁膜（シリコン酸化膜）を示している。

【0035】図12においては、ドレイン領域は描かれていない。ドレイン領域はこの図面より奥側にある。Xドライバー領域又はYドライバー領域から引かれた接地電位を与えるためのアルミ線1210が電氣的に高濃度のN型不純物層領域に接続されていることにより、この高濃度のN型不純物層領域に接しているNウェル121の電位は接地電位に固定される。

【0036】図13は、本発明の光弁基板用半導体装置の駆動回路にの中に設けられたN型MOSトランジスタの長さ方向の断面図を示す。131はP型不純物から成るPウェル、132はゲート酸化膜、133は多結晶シリコン膜から成るゲート電極、134と135はそれぞれ高濃度のN型不純物から成るソースとドレイン、136は厚み数千Å〜1μmの下地のシリコン酸化膜（SiO<sub>2</sub>膜）、137はトランジスタ間の分離を行うためのフィールド酸化膜、138は、金属配線（図には示していない）とゲート電極133の電氣的な分離を行うためのシリコン酸化膜を示している。

【0037】図13から明らかなように、ソース134とドレイン135は下地シリコン酸化膜136に接していない。このため、図6において、説明したようなPウェル61と下地シリコン酸化膜66の境界69において発生するような寄生チャネルは、図13におけるPウェル131と下地シリコン酸化膜の境界139においては、発生しない。

【0038】図14は、本発明の光弁基板用半導体装置の駆動回路にの中に設けられたN型MOSトランジスタの幅方向の断面図を示す。図14の断面構造図は図13の断面構造図に対して垂直方向の断面構造図である。141はP型不純物から成るPウェル、142は厚み数千Å〜1μmの下地のシリコン酸化膜（SiO<sub>2</sub>膜）、143はゲート酸化膜、144はフィールド酸化膜、145はゲート電極を兼ねる多結晶シリコン膜、146は、

金属配線（図には示していない）とゲート電極145の電氣的な分離を行うためのシリコン酸化膜を示している。ソースとドレインは、紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0039】フィールド酸化膜144の端部は通常テーパー状に形成され、その箇所147はバースビークと呼ばれている。本発明の光弁基板用半導体装置においては、フィールド酸化膜144の形成後、バースビーク147の下に、ある程度の厚みの単結晶シリコン層が残っている。このため、バースビーク直下148におけるPウェルを形成しているP型不純物であるボロンの濃度は、フィールド酸化膜144を形成する際の酸化中、バースビーク直下148より更に下側のPウェル内からボロンが供給され、図7におけるバースビーク直下78におけるボロン濃度よりかなり高い。このため、本発明の光弁基板用半導体装置においては、図7及び図8において説明したようなトランジスタの幅方向両端部で発生するような寄生チャネルは発生しない。

【0040】図1は、本発明の光弁基板用半導体装置の駆動回路部及び画素部の構造断面図を示している。図1は、右側1/3が画素部の構造断面図を、左側2/3が駆動回路の構造断面図を示している。図1において、11は電気絶縁性物質である厚み約数千Å〜1μm程度のシリコン酸化膜を示している。12は半導体単結晶シリコン膜のうち、薄い濃度のP型不純物から成るPウェル、13は高い濃度のP型不純物から成るドレイン電極、14は同じく高い濃度のP型不純物から成るソース電極、15は多結晶シリコンから成るゲート電極、16はシリコン酸化膜から成るゲート電極をそれぞれ示し、これらから画素電極のスイッチングトランジスタとなるP型MOSトランジスタが形成されている。このように画素電極のスイッチングトランジスタをP型MOSトランジスタで形成することにより、トランジスタ部の単結晶シリコン層の厚み $t_1$ を薄くしても、寄生チャネルが形成されず、リーク電流は少なく、しかも薄い単結晶層を形成できることから、光がこのトランジスタ部に照射されても、トランジスタ内で発生する電子・ホール対は少なく、光照射により生じるリーク電流を小さく抑えることが可能である。

【0041】図1におけるドレイン電極13には、アルミ12により形成されている信号線25が電氣的に接続されている。又、ゲート電極15は画素部に通じる走査線26をも兼ねている。17は透明を保つ程度に、数百〜1000Åと薄い多結晶シリコン膜から成る画素部の駆動電極を示し、スイッチングトランジスタのソース電極14と直接電氣的に接続されている。

【0042】18は画素電極17を被うシリコン酸化膜、19は画素部と駆動回路の境界に形成されたフィールド酸化膜を示している。フィールド酸化膜19は画素部側と駆動回路部側とで段差がある

図1において、1000は駆動回路におけるP型MOSトランジスタを形成している領域の薄い濃度のN型不純物から成るNウェルである。1001と1002はそれぞれ高濃度のP型不純物から成るドレイン電極とソース電極である。1003はシリコン酸化膜から成るゲート絶縁膜、1004は多結晶シリコン膜から成るゲート電極を示している。駆動回路部のP型MOSトランジスタは、Nウェル1000、ドレイン電極1001、ソース電極1002、ゲート絶縁膜1003、ゲート電極1014から形成されている。図1において、1005は駆動回路を構成している相補型MOSトランジスタであるP型MOSトランジスタとN型MOSトランジスタの境界にあり、それら2種類のトランジスタの電気的な分離を行うためのフィールド酸化膜である。このフィールド酸化膜1005もフィールド酸化膜19と同様に段差を持っている。

【0043】1006は薄い濃度のP型不純物から成るPウェル、1007と1008はそれぞれ高濃度のN型不純物から成るソース電極とドレイン電極、1009はシリコン酸化膜から成るゲート絶縁膜、1010は多結晶シリコンから成るゲート電極である。これらPウェル1006、ソース電極1007、ドレイン電極1008、ゲート絶縁膜1009、ゲート電極1010から駆動回路部のN型MOSトランジスタが形成される。

【0044】この駆動回路部において、N型MOSトランジスタの領域の単結晶シリコンの厚み $t_3$ はP型MOSトランジスタの領域の単結晶シリコンの厚み $t_2$ より厚い。この駆動回路部の単結晶シリコンの厚み $t_3$ が大きいことにより、N型MOSトランジスタのソース電極1007とドレイン電極1008の底は、下地のシリコン酸化膜11に接していない。又、駆動回路部において、N型MOSトランジスタが形成されている領域即ちPウェルの内にあるフィールド酸化膜1005の底も下地のシリコン酸化膜11に接していない。ことにより、前述したN型MOSトランジスタの寄生チャネルが発生せず、リーク電流を小さく抑えられる。

【0045】1011は各トランジスタのゲート電極15、1004、1010と駆動回路部のアルミから成る金属配線1013あるいは画素部のアルミから成る信号線1012の電気的分離のために形成されたシリコン酸化膜を示している。1014はパッシベーション膜であるシリコン窒化膜、1015は透明な接着剤、1016は厚み500 $\mu$ m $\sim$ 1mm程度の透明ガラス基板を表している。接着剤1015により、電気絶縁性基板上に集積回路が形成された半導体基板とその支持基板となる透明ガラス基板1016を接着している。

【0046】1017は画素部のスイッチングトランジスタ及び駆動回路を形成している集積回路全体を遮光するための遮光膜を表している。遮光膜としては例えば厚み数千Åのクロムが使用される。図1には示していない

が、画素部の下側に液晶が組み込まれる。更に液晶の、画素トランジスタ部が形成されている側と反対側(図面の下側)に共通電極が形成され、この共通電極と画素電極17との間に電圧を加えて、液晶を希望の向きに配向させる。このようにして、本発明の光弁基板用半導体装置が形成される。

【0047】なお、図1においては、駆動回路のN型MOSトランジスタ、P型MOSトランジスタ、画素部のスイッチングトランジスタであるP型MOSトランジスタの3種のトランジスタ部の単結晶シリコンの厚みはそれぞれ異なっていたが、本発明の光弁基板用半導体装置においては、駆動回路部のP型MOSトランジスタと画素部のスイッチングトランジスタであるP型MOSトランジスタ部の単結晶シリコンの厚みは同じであっても良い。その時、勿論駆動回路部のN型MOSトランジスタ部の単結晶シリコンの厚みは、駆動回路部及び画素部の両方のP型MOSトランジスタ部の単結晶シリコンの厚みより厚い。

【0048】

【発明の効果】以上、詳細に説明したように、本発明の光弁基板用半導体装置は、駆動回路部の集積回路の消費電力が小さく、画素部のスイッチングトランジスタの寄生チャネルによるリーク電流がなく、しかも光照射による光リーク電流が少なく、更に、駆動回路部のP型トランジスタは勿論、N型MOSトランジスタも寄生チャネルによるリーク電流が少ない優れた性質を有する。

【図面の簡単な説明】

【図1】本発明の光弁基板用半導体装置の構造断面図である。

【図2】光弁基板用半導体装置の構成を示す斜視図である。

【図3】本発明の画素部のスイッチングトランジスタ構造断面図である。

【図4】光の照射時と非照射時のゲート電圧とドレイン電流の関係を示すグラフである。

【図5】同一強度の光を照射あびた時の、長さと同幅のトランジスタの厚みと光リーク電流の関係を示すグラフである。

【図6】電気絶縁性物質上のN型MOSトランジスタの長さ方向の構造断面図である。

【図7】電気絶縁性物質上のN型MOSトランジスタの幅方向の構造断面図である。

【図8】電気絶縁性物質上のN型MOSトランジスタの平面図である。

【図9】アクティブマトリックス型装置の構成を示す平面図である。

【図10】画素部のトランジスタの長さ方向の構造断面図である。

【図11】本発明のアクティブマトリックス型装置の構成を示す平面図である。

13

14

【図12】本発明の画素部のトランジスタの長さ方向の構造断面図である。

【図13】本発明の電気絶縁性物質上のN型MOSTランジスタの長さ方向の構造断面図である。

【図14】本発明の電気絶縁性物質上のN型MOSTランジスタの幅方向の構造断面図である。

【符号の説明】

11 下地シリコン酸化膜

16、1003、1009 ゲート酸化膜

15、1004、1010 ゲート電極

12、1000 Nウェル

1006 Pウェル

14、1002、1007 ソース電極

13、1001、1008 ドレイン電極

19、1005 フィールド酸化膜

1012 アルミ信号線

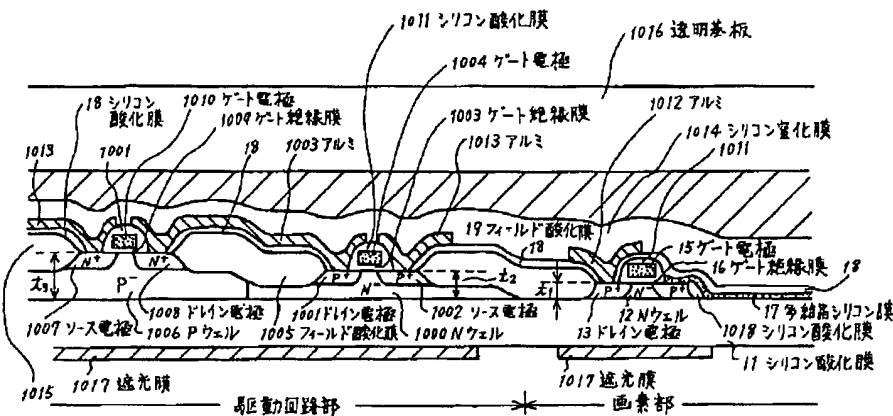
1014 パッシベーション

1015 透明接着剤

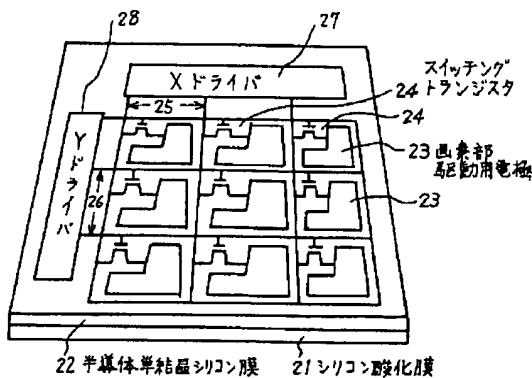
1016 透明ガラス基板

10 1017 遮光膜

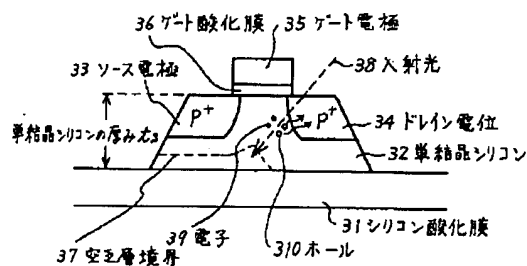
【図1】



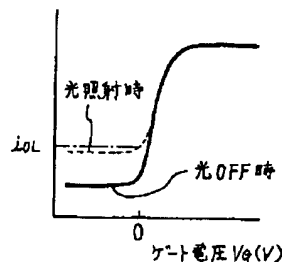
【図2】



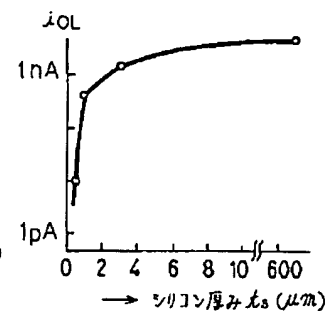
【図3】



【図4】

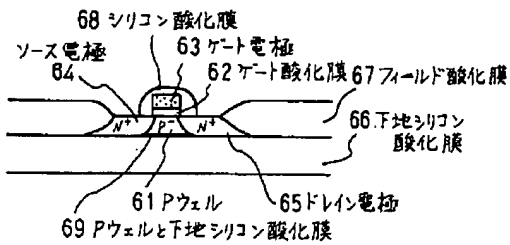


【図5】

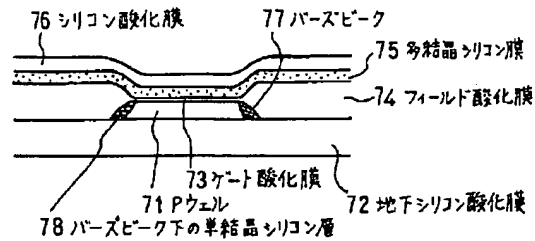




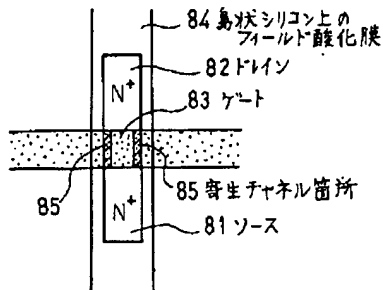
【図6】



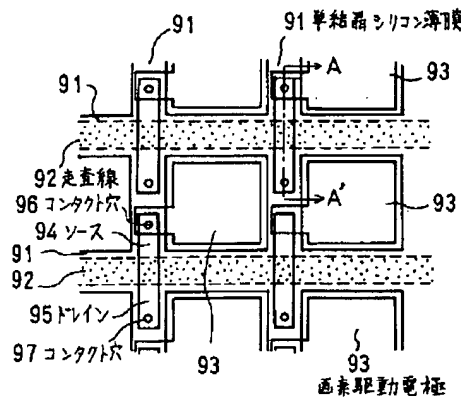
【図7】



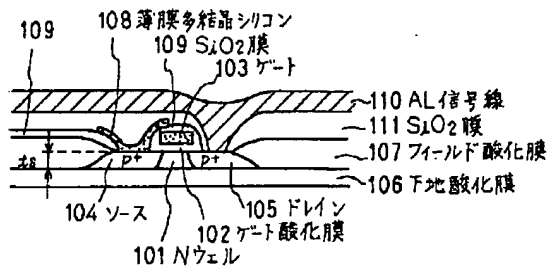
【図8】



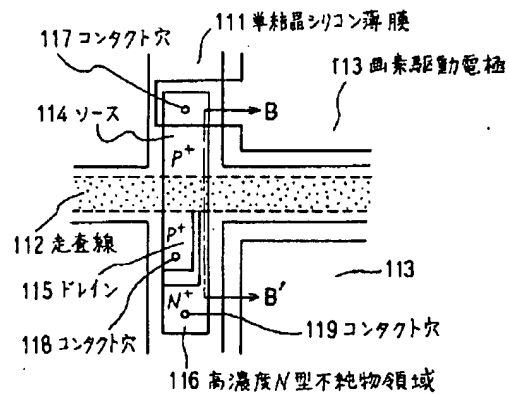
【図9】



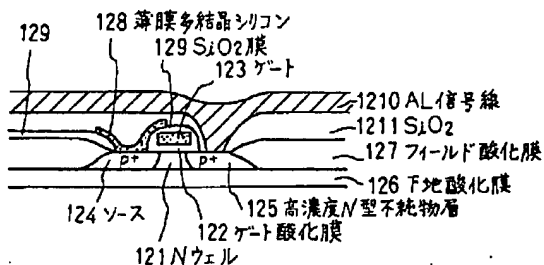
【図10】



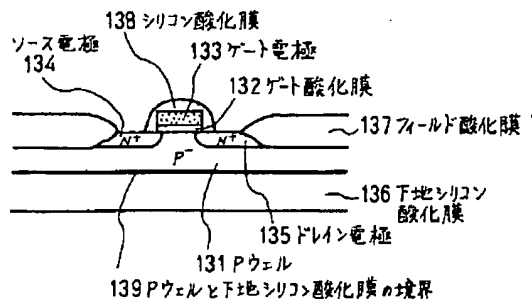
【図11】



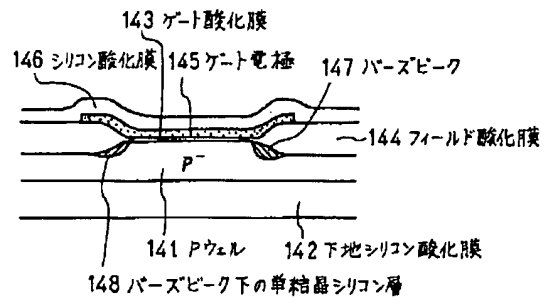
【図12】



【図13】



【図14】



フロントページの続き

(51)Int. Cl.<sup>5</sup>  
H01L 29/784

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 山崎 恒夫  
東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

PAT-NO: JP405313195A  
DOCUMENT-IDENTIFIER: JP 05313195 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: November 26, 1993

INVENTOR-INFORMATION:

NAME

TAKAHASHI, KUNIHIRO  
KOJIMA, YOSHIKAZU  
TAKASU, HIROAKI  
YAMAZAKI, TSUNEO

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR INC

COUNTRY

N/A

APPL-NO: JP04120699

APPL-DATE: May 13, 1992

INT-CL (IPC): G02F001/136, H01L027/092 , H01L027/12 ,  
H01L029/784

ABSTRACT:

PURPOSE: To reduce the power consumption of the integrated circuit of a driving circuit part and to eliminate a leak current due to the parasitic channel of the switching transistor of a pixel part by making a specific semiconductor single-crystal silicon layer thinner than the silicon layer in an area where a driving circuit element group is formed.

CONSTITUTION: At the driving circuit part, the thickness  $t_3$  of the single crystal silicon in the area of an N type MOS transistor is made thicker than the thickness  $t_2$  of the single crystal silicon in the area of a P type MOS transistor. Consequently, neither of the bottoms of

the source  
electrode 1007 and drain electrode 1008 of the N type MOS  
transistor contacts a  
silicon oxide film 11 as a substrate and the bottom of a field  
oxide film 1005  
in the area where the N type MOB transistor is formed, i.e., in  
a P well 1006  
does not contacts the silicon oxide film 11 as the substrate.  
Consequently,  
the parasitic channel of the N type MOS transistor is not  
generated and the  
leak current is suppressed small.

COPYRIGHT: (C)1993,JPO&Japio